This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT:
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(II)特許出聯公司参号 特開平9-8240

(43)公開日 平成9年(1997)1月10日

(51) Int.CL* H 0 1 L 27/108 21/8242	氣则配号	庁内整理書号	PI HOIL	27/10 21/30	621Z 502C	技術表示能够
91 /00*						

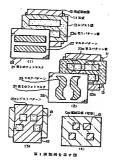
			北粒歪音	宗譜県 高泉項の数2 OL (全10 円)
(21)出顧器号	将顧平7−150028	G	1)出頃人	000002185
(22)出版日	平成7年(1995)6月16日			ソニー株式会社 東京都品川区北品川 8 丁目 7 第85号
		(F	2)発明者	
				東京都品州区北岛川6丁目7世35号 ソニ
				一株式金社内
		. (74	人即分(弁壁士 船橋 國則
	•			
		- 1		

(54) [発明の名称] 半導体装留の製造方法

(57)【要約】

【目的】 スタック型キャバシタの容量を確保すること ができる半導体鉄屋の製造方法を提供する。

「情報」 ライン状のマスクパターン8 3が形成まれた
到 のフォトマスタ2 1を用いて電販の地戸12を介して普飯1 1上に収越したボン塩のレジネト直13と低流
する。ライン板のマスクパタース3 3を形成
ウフォトマスク3 1を用いてレジスト酸 13 公成現光を行
い、レジスト酸 13 に第 1パケーン像2 3 a を形成
ウフォトマスク3 1 を用いてレジスト酸 13 公成現光を行
い、レジスト酸 13 に第 1パケーン像 23 a と形成
が送の頭のパターン像 33 a を形成する。レジストは7 しいり、13 a を
形成する。レジストパケーン 13 a を
形成 1 となるスタック型キャバシクの電管 12 a を形成する。
これによった 2 ボルケルの電管 12 a を形成する。
これによって、選が反似の気を対してい場所
いありを利用して上面が掲を形状の電優 12 a を形成す
ない場りを利用して上面が掲を形状の電優 12 a を形成
する。



【特許請求の範囲】

【請求項1】 ライン状のマスクパターンが形成された 第1のフォトマスクを用いて電極形成階を介して差板上 に成績したポン型のレジスト値に対して真光を行い、当 該レジスト膜に第1パターン像を形成する工程と、 ライン状のマスクパケーンが形成された第2のフォトマ スクを用いて前記レジスト頭に対して意光を行い、当該 レジスト膜に前記録1パターン使と交易する状態で賞? パターン像を形成する工程と

と前記算2パターン像とが交差した部分に当該レジスト 鎖からなる島状のレジストバターンを形成する工程と、 前記レジストパターンをマスクにして前記電極形成屋を エッチングし、前記基板上に当該電極形成層からなるス タック型キャバシタの電優を形成する工程と、を備えた ことを特徴とする半導体装置の製造方法。

【詰求項2】 菩板上に成贖した電極形成屋でラインパ ターンを形成する工程と.

剪記菩板上に前記ラインパターンと交差する状態でライ ン状のレジストバターンを形成する工程と、 前記レジストバターンをマスクにして前記ラインバケー ンをエッチングすることによって、前記基板上に前記録 **征形成屋からなるスタック型キャパンタの蓄積電値を形** 成する工程と、を備えたことを特徴とする半導体統置の

【発明の詳細な説明】 100011

製造方法。

【産業上の利用分野】本発明は、スタック型キャバシタ を育する半導体装置の製造工程に関する。 100021

【従来の技術】半導体装置の製造工程で、例えばDRA Mのようにスタック型キャパシケを育する半導体鉄置を 製造する場合には、以下のような工程を行う。先ず、図 8 (1) の平面図と(2)、(3)の断面図に示すよう に、芸板101の表面側に、煮子分能購102、選択ト ランジスタのゲート電価103,ソース及びドレイン拡 散唱 10 1 a. これらを覆う層間鎖 10 4 を形成し、こ の帰隣は104に基板101の蓄積ノードに達するコン タクトホール105を形成する。次いで、基板101上 顧107を成蹊する。次いで、このレジスト顧107に 対して、矩形の島状のマスケバターンが形成されたフォ トマスクを用いてリングラフィーを行い、当該レジスト 腺107からなる島状のレジストパターン108を形成 する。その後、この島状のレジストバターン108をマ スクにてポリンリコン順106をエッチングし、島状の ポリンリコンパターンからなるスタック型キャパシケの 書價電攝109を形成する。

【0003】その後、図9(1)の平面図と(2)。

8) を除去し、器標電攝109を誘電購110で履い。 次いで誘電膜110を介して蓄積電極109上に上層電 毎111を形成してスタック型キャパンタを形成する。 次いで、基板191上を層間絶縁膜112で覆い、この 層間被縁膜! 12にピット線コンタクト1!3を形成す る。その後、とのビット禁コンタクト113に接続する 配線115を、層間絶縁鏡112上に形成してDRAM を存成させる [0004]

前記レジスト鏡の現像処理を行い、前記第1パターン像 10 【発明が解決しようとする課題】しかし、上記半導体薬 匿の製造方法には、以下のような課題がある。すなわ ち、図10(1)に示すように、上記容積電攝を形成す る工程では、矩形の島状のマスクパターン121が形成 されたフォトマスク122を用いてリソグラフィーを行 う。このようなフォトマスケ122を用いた幕光では、 **露光光がマスクパターンのエッジ部分で回折することに** よって、レジスト値107に投影されるパターン像12 3の角部が丸まる。このため、図10(2)に示すよう な上記リソグラフィーで形成されたレジストパターン 1 29 08や、図10(3)に示すような上記レジストバター ン(108)をマスクにしたエッチングで形成された否 請電価109も保壁の角部が丸まった形状で形成され る。したがって、上記書情電攝109の表面積が粉計館 よりも減少し、十分な容量が得られず電筒保持時間が短 くなってしまう。

【0005】また、上記図10(1)で示したような島 伏のマスクパターン121が形成されたフォトマスク1 22には、位相シフトマスクを適用することが函数であ る。なかでも高解像度が得られるレベンソン型の位相シ 30 フトマスクへの適用が蘇しい。このため、各署模電摄 1 09間の最小間隔がある程度以上の広さに制限され、蓄 **満電価の配置面膜の割合が制限されてしまう。上記書籍** 電極の面積の不足を語うために、当該整論電極をフィン 型や円筒型のより立体的な構造にすることが検討されて いるが、これらば工程とコストとを替しく増加させる要 因になる。

【10006】そこで本発明は、上型の課題を解決する半 導体装置の製造方法を提供することを目的とする。 [0007]

にポリシリコン購106を成績し、この上面にレジスト 40 【課題を解決するための手段】上記目的を達成するため 請求項1記載の半導体装置の製造方法は、ライン状のマ スクパケーンが形成された第1のフォトマスク及び第2 のフォトマスクを用た2回の露光とその後の環境処理と によって、各部光による第1パターン像と第2パターン 像とが交差した部分に島状のレジストバターンを形成 このレジストパターンをマスクにしたエッチングに よって基板の表面にスタック型キャパシタの電極を形成 する工程を借えたことを特徴としている。 【0008】また、請求項2記載の半導体装置の製造方

(3)の新面面に示すように、レジストパターン(10 59 法は、電極形成層からなるラインパターンに交差させて

3 ライン状のレジストパターンを形成し、これをマスクに してラインパターンをエッチングすることによって、ス タック型キャパンタの電価を形成する工程を備えたこと を特徴としている。

[0009]

【作用】請求項1記載の半導体整體の製造方法で形成さ れる島状のレジストパケーンは、2回の真光で形成され るライン状の第1パターン像と第2パターン像とを合成 したものになる。このため、当該島状のレジストバター なく形成され、その輪郭が距形状になる。したがって、 当該島状のレジストパターンをマスクにしたエッチング によって形成される島状の電極は、その上面の輪郭が短 彩形状になり表面積が確保される。

【0010】そして、請求項2記載の半導体整置の製造 方法では、ラインパターンとライン状のレジストパター ンとが交差する部分に島状の電極が形成される。このた め、島状の蓄積電価は、その上面の輪郭が矩形形状にな り表面積が確保される。

1

[0011] 【実統例】以下、本発明の実統例を図面に基づいて説明 する。図1 (1)~ (4)は、本発明の請求項1記載の 半導体装置の製造方法を示す國であり、先ず、これらの 図を用いて請求項!記載の製造方法を第1実施例として **説明する。先ず、スタック型キャパンタの蓄積電価を形** 成する基板 1 1 を用意する。そして、基板 1 1 上に電極 形成層12を成績し、この上面にボジ型のレジスト腺1 3を成績する。上記電攝形成屋12としては、例えば不 純物を含有させたポリシリコンを用いる。

[9012] そして、図1(1)に示す第1工程では、 30 [9016]上記のようにして蓄積電極!2aを形成し 上記書板11上のレジスト購13に対して第1のフォト マスク2 1 を用いて1回目の露光を行う。この第1のフ ォトマスク21は、露光光に対して透過性を有する石英 ガラス基板22上に、例えばクロムのような上記葉光光 に対して遮光性を有する封斜鎖からなるライン状のマス クパターン23が形成されたものである。この意光は、 レジスト順13における電光光の照射部で水ジ型レジス トの分解反応が十分に進むまで行う。との概光によっ て、葉光光が照射されない部分からなるマスクパターン

23の第1パターン像23aをレジズト鎖13に形成す 40 【0018】また、上記第1束施倒では、島状の整備電 る。尚、マスクバターン23は、少なくとも2つ以上の キャパシタにまたがる第1パターン像23 aを形成する ものとする。

【0013】次に、図1(2)に示す第2工程では、上 記書板11上のレジスト購13に対して第2のフォトマ スク31を用いて2回目の電光を行う。この第2のフォ トマスク31は、上記第1のフォトマスク(21)と同 **爆に石英ガラス部板32上にライン状のマスクバターン** 33が形成されたものである。この電光は、上記第1工

ジ型レジストの分類反応が十分に進むまで行う。また、 上記1回目の離光の第1パターン像23gに対して第2 パターン像33aが交差するように踏光を行う。尚、マ スクパターン33は、少なくとも2つ以上のキャパシタ にまたがる第2パターン個33aを形成するものとす る。この蘇光によって、電光光が照射されない部分から なるマスクパターン33の軍2パターン殴33aをレジ スト購13に形成する。

[0014]その後、図1(3)に示す第3工程では、 ンは、募先光の回折が多いパケーン像の角部を含むこと 10 レジスト膜13の現像処理を行い、電優形成居12上に レジスト鎖13からなるレジストパターン13aを形成 する。この現像処理によって、上記2回の森光で電光光 が一度も駆射されていない部分すなわち着1パターン使 (23a)と第2パターン像 (33a)とが交差する4 か所にレジスト購13が減り、これらが島状のレジスト パターン13aになる。これちのレジストパターン13 aは、露光光の回折が多い第1パターン像(23a)及 び邪2パターン像(33a)の角部を使用することなく 彩成される。このため、その上面の暗郭が矩形形状にな 29 6.

【0015】次に、図1 (4) に示す第4工程では、レ ジストパターン(13a)をマスクにして電攝形成層1 2のエッチングを行った後、当該レジストパターン () 3 a) を除去し、これによって電極形成屋12からなる 島状の蓄積電極12aを形成する。これらの蓄積電極! 2aは、輪郭が距形形状の島状のレジストパターン(1 3 a)をマスクにして形成されたものである。このた め、これらの器模電攝128は、その上面の輪郭が矩形 形状になる。

た後、ここでは国示しないが、この整積電極12aを誘 電路で疑い、当該誘電脑を介して蓄積電攝12a上に上 部署価を形成し、これによってスタック型キャバシタが 形成される。

【0017】上記半導体鉄躍の製造方法では、当該蓄積 電極12aの面膜を減少させることなく矩形形状の唇標 電優12 aが形成される。このため、密積電優12 aを 立体的な権威にすることなく、上記キャパンタの蓄積容 置を確保することが可能になる。

係12aの形成に、図1(1)、(2)に示したような ライン状のマスクパターン23、33が形成された第1 のフォトマスク21、第2のフォトマスク31を用い た。このため、第1のフォトマスク21及び第2のフォ トマスク31として、図2(1)。(2)に示すような 位相シフトマスクを用いることが可能になる。このよう な第1のフォトマスク21と第2のフォトマスク31と には、マスクバターン23間、マスクバケーン33間に 森光光の位相を変化させる第1のシフタ24,34と第 程と同様にレジスト額13における電光光の照射部でポージ。 2のシフタ25、35とが交互に配置される。第1のシ

- 14 TO S

フタ24, 34と類2のシフタ25, 35とは、例えば 第1のシフタ24、34を透過した葉光光に対して第2 のシフタ25、35を透過した露光光を180 反転さ せるものとする.

【0019】上記様成の第1のフォトマスク21及び第 2のフォトマスク31を用いた意光を行うことによっ て、リングラフィーの解像度を向上させることができ る。したがって、マスクバターン23、33の最小配度 間隔を挟めることが可能になり、上記キャパシタを有す る半婆体築屋の高葉積化が図られる。

【0020】次に、図3(1)~(6)は、本発明の詩 求項2記載の半導体装置の製造方法を示す図であり、先 ず、これらの図を用いて請求項2起説の製造方法を約2 真綿例として説明する。先ず、上記第1 真能例と同様に スタック型キャパシタの器標電機を形成する基板11を 用意する。そして、この基板11上に例えばポリシリコ ンからなる電極形成屋12を成譲し、この上面に第1レ ジスト膜14を成膜する。上記第1レジスト膜14とし ては、例えばボン型レジストを用いる。

突縮例と同様に、基板11上の第1レジスト腺14に対 して第1のフォトマスク21を用いて1回目の電光を行 う、この第1のフォトマスク21は、例えば上記第1英 - 粒例で使用した第1のフォトマスクと同様のものを用 い、第1のフォトマスク21のマスケバターン23の質 ・ 1パターン像23 a を第1レジスト購14に投影する。 [0022]次に、図3(2)に示す第2工程では、第 1レジスト原14の現像処理を行い、電極形成層12上 に第1レジスト贖14からなるライン状の第1レジスト パターン14aを形成する。

[0023] その後、図3(3)に示す第3工程では、 第1レジストバターン(148)をマスクにして電極彩 岐層12のエッチングを行った後、第1レジストバター ン(148)を除去し、これによって電極形成層12か らなるラインパターン12Dを形成する。

- 【0024】次に、図3(4)に示す第4工程では、ラ インパターン12 bが形成された基板 11上に、第2 レ ジスト頭15を成職する。この第2レジスト頭15とし ては、例えばボジ型レジストを用いる。次げで、墓板 1 1上の第2レジスト頭15に対して第2のフォトマスク 40 【0031】先ず、図4に示すように、LOCOS(Lo 31を用いて2回目の募光を行う。この第2のフォトマ スク31は、例えば上記第1実施例で用いた第2のフォ トマスクと同様のものを用い、第2のフォトマスク31 のマスクパターン33が投影された第2パターン保33 a がラインパターン12bに対して交差するように露光 を行う.

【9025】その後、図3(5)に示す第5工程では、 第2レジスト競15の現像処理を行い、基板11上に第 2レジスト鎖15かちなる第2レジストパターン15 a

ンパターン12 b上に交差するように形成される。 【9926】次に、図3(6)に示す第6工程では、第 2レジストパターン(15a)をマスクにして芸板11 上に残っている電揺形成階12すなわちラインパターン 12 bのエッチングを行った後、第2 レジストバターン (158)を除去する。これによって、ラインパターン (12) と第2レジストパターン(15a)との交差部 分に、電極形成層からなる島状の書情電極 1 2 c が形成 される。これらの皆論電極12cは、その上面の暗解が 15 矩形形状に形成される。

【0027】上記のようにして蓄積電極12cを形成し た後、ここでは図示しないが、この密積電極12cを誘 **縄頭で覆い、当熟締縄順を介して香積電極12c上に上** 部電優を形成し、これによってスタック型キャバンタが 形成される。 [0028]上記事導体鉄管の製造方法では、上記第1

裏節例と間様に整備電攝12cの面債を減少させること なく矩形形状の菩薩電攝12cが形成される。このた め、上記キャパンタの香情容量を確保することが可能に [0021]図3(1)に示す第1工程では、上記第1 20 なる。また、若慎電攝12cの形成に、上記第1実施例 と同様の第1のフォトマスク21、第2のフォトマスク 31が用いちれることから、第1のフォトマスク21及 び第2のフォトマスク31として位組シフトマスクを用 いることが可能になる。したがって、上記キャパシタを 有する半導体終置の高集優化が図られる。

> 【0029】上記算2真能例では、第1レジスト購14 と第2レジスト騎15としてポジ型レジストを用いた が、第1レジスト膜14と第2レジスト腺15とはネガ 型レジストでも良い。この場合、上記第1のフォトマス 30 ク21に形成したマスクパターン23と第2のフォトマ スク31に形成したマスクバターン33とを反転させた マスクパターンを用いる。

【0030】次化、図4~図7は、本発明の半導体整置 の製造方法を適用したDRAMの製造方法を示す図であ り、これらの図を用いて上記DRAMの製造方法の存録 例を説明する。ここでは、請求項2の製造方法を適用し た例を説明する。尚、各図面いおいて、(1)は平面 図. (2)は(1)の平面図のA-A、筋面図. (3) は(1)の平面図のB-B、筋面図である。

cal oxidation of Silicon) 法によって、例えばシリコ ンからなる基板41の表面に、煮子間分離領域42を形 成する。次いで、元子間分能領域42が形成された基複 41上に、ポリンリコンからなる選択トランジスタのゲ ート電極43を形成する。その後、素子間分離領域42 及びゲート電極43をマスクにしたイオン注入によっ て、 芸板41の表面屋にソース、ドレインになる拡散層

41 aを形成する。次いで、素子間分離領域42及びゲ 一ト電攝43を覆う状態で上記基板41上に第1層間絶 を形成する。この第2レジストパケーン158は、ライ 55 縁頭44を収購した後、この第1屋間絶縁線44に基板

特局平9-8240

4.1にまで達するコンタクトホール4.5を形成して書稿 ノードを閉口する。

【0032】次に、図5に示すように、コンタクトホー ル45内を埋め込む状態で第1層間絶縁鎖44上にポリ シリコンからなる電極形成層46を成績する。その後、 上記第2英統例の第1工程及び第2工程と同様にして、 この電極形成層46上にライン状の第1レジストバター ン47を形成する。次いで、上記第2実施例の第3工程 と同様に第1レジストパターン47をマスクにして電極 形成層46をエッチングし、電怪形成層46からなるラ 10 準体装置の高景景化を図ることができる。 インパターン46 a を形成する。このラインパターン4 6 aは、コンタクトホール45部を適る形状にする。 【9033】次いで、図6に示すように、上記第2英雄

例の第4工程及び第5工程と同様にして、第1レジスト パターン47を除去した後、第1屋間絶縁線44上にラ インパターン46aと交差する状態でライン状の第2レ ジストパターン48を形成する。その後、第2実範例の 第6工程と同様に第2レジストパターン48をマスクに してラインパターン46aをエッチングし、電極形成層 からなるスタック型キャパシケの蓄情電極46bを形成 29 3回である。

【9034】次に、図7に示すように、第2レジストパ ターン(48)を除去した後、蓄積電極46)を誘端腺 49で硬い、次いで謝電纜49を介して蓄積電筒461 上に上層電極50を形成してスタック型キャパンタを影 成した後、第1層間絶縁騎44上を第2層間絶縁襲51 で覆う。次いで、第2層間絶縁顧51に基板41にまで 達するビット練コンタクト52を形成し、上部にアルミ ニウムからなる配復53を形成してDRAMを完成させ

【10035】とれによって、蓄積容量が確保されたキャ パンタを有するDRAMが形成される。尚、上記器微電・ 毎46 b の形成工程には、第1英雄例を適用することも 可能である。

[0036]

【発明の効果】以上説明したように、本発明の請求項1 または2記載の半導体装置の製造方法によれば、ライン 状のパターン像を投影する2回の露光で上記パターン像 が交差する部分に島状のエッチングマスクを形成して高 後形成屋をエッチングするか、またはライン状のレジス 40 33a 第2パターン像 ·トバターンをマスクにしてこれと交差する電極形成層か

ちなるラインバターンをエッチングすることで、 聡光光 の個新による角部分の丸まりを防止して輪郭が指形形状 の島状の香積電価を形成することが可能になる。このた め、スタック型キャパシタの蓄積電極の面積を確保して 当該キャパシタの電荷保持時間を増大させることが可能 になる。さらに、上記リソグラフィーに用いるフォトマ スクのマスクバターンをライン状にすることで、位相シ フトマスクを適用することが可能になり、リソグラフィ 一の際の解像度を向上させ、上記キャバシタを育する半 【図面の館単な提明】

【四1】第1実能例を示す回である。

【図2】第1及び第2のフォトマスクを示す図である。 【図3】第2実総例を示す図である。

【図4】真施剛を適用したDRAMの製造工程を示す第 1回である。

【図5】真旋阀を適用したDRAMの製造工程を示す第 2回である。

【図6】実施問を適用したDRAMの製造工程を示す算

【図7】其施例を適用したDRAMの製造工程を示す算 4回である。

【図8】従来例を示す第1回である。 【図9】従来例を示す第2回である。

【四10】飓難を説明する節である。 【符号の短期】

. 11、41 基級

12.46 電極形成屋 12a, 12c. 46b 薔薇産様(電標)

30 12b. 46a・ラインパターン

13 レジスト語 13a レジストパターン

15 a、48 第2レジストパターン (レジストパター 21

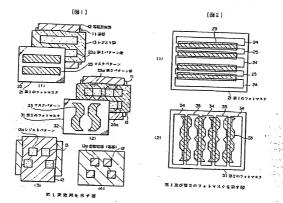
21 第1のフォトマスク 23 マスクバターン

23a 第1パターン後

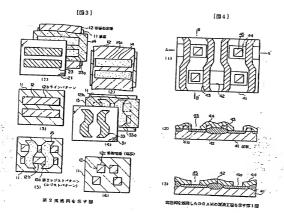
31 第2のフォトマスク

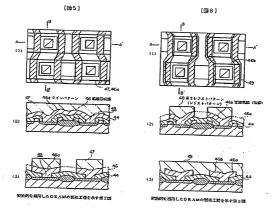
33 マスクバターン

開平9-8240



阿平9-8240





6開平9-8240

